

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/018724

International filing date: 15 December 2004 (15.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-144450
Filing date: 14 May 2004 (14.05.2004)

Date of receipt at the International Bureau: 17 February 2005 (17.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

20.12.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 5 月 1 4 日
Date of Application:

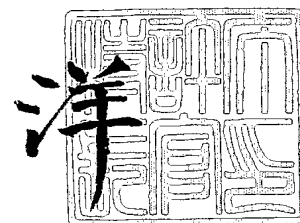
出 願 番 号 特 願 2 0 0 4 - 1 4 4 4 5 0
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 1 4 4 4 5 0]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 5 年 2 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 5 - 3 0 0 6 9 2 8

【書類名】 特許願
【整理番号】 2037650022
【提出日】 平成16年 5月14日
【あて先】 特許庁長官殿
【国際特許分類】 H03M 13/00
G06F 11/10 330
G11B 20/00

【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】 有馬 幸生

【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】 山本 明

【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社

【代理人】
【識別番号】 100077931
【弁理士】
【氏名又は名称】 前田 弘

【選任した代理人】
【識別番号】 100094134
【弁理士】
【氏名又は名称】 小山 廣毅

【選任した代理人】
【識別番号】 100110939
【弁理士】
【氏名又は名称】 竹内 宏

【選任した代理人】
【識別番号】 100110940
【弁理士】
【氏名又は名称】 嶋田 高久

【選任した代理人】
【識別番号】 100113262
【弁理士】
【氏名又は名称】 竹内 祐二

【選任した代理人】
【識別番号】 100115059
【弁理士】
【氏名又は名称】 今江 克実

【選任した代理人】
【識別番号】 100115691
【弁理士】
【氏名又は名称】 藤田 篤史

【選任した代理人】
【識別番号】 100117581
【弁理士】
【氏名又は名称】 二宮 克也

【選任した代理人】
【識別番号】 100117710
【弁理士】
【氏名又は名称】 原田 智雄
【電話番号】 06-6125-2255
【連絡先】 担当
【選任した代理人】
【識別番号】 100121728
【弁理士】
【氏名又は名称】 井関 勝守
【手数料の表示】
【予納台帳番号】 014409
【納付金額】 16,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0217869

【書類名】 特許請求の範囲**【請求項 1】**

ビタビ復号に係る任意の二つのブランチ間の差分ブランチメトリック（以下、「DBM」と称する。）を入力し、当該入力したDBMを任意の二つのステート間の差分パスメトリック（以下、「DPM」と称する。）に加算し、当該加算後のDPMどうしを比較して最尤パスを選択するACS回路であって、

前記DPMのうち、基準となるステートに係るパスメトリックと他のステートに係るパスメトリックとの間のDPMである基本DPMを保持し、当該基本DPMに基づいて最尤パスを選択することを特徴とするACS回路。

【請求項 2】

請求項 1 に記載のACS回路において、

前記基本DPMを保持する基本DPM保持部と、

前記基本DPMを算出する基本DPM演算部と、

前記基本DPM演算部による基本DPMの算出に必要なDPMであって基本DPM以外のDPMである参照DPMを算出する参照DPM演算部と、

前記DBMのうち、前記基本DPM演算部による基本DPMの算出に必要なDBMである基本DBMを算出する基本DBM演算部と、

前記基本DPM保持部に保持された基本DPM、前記参照DPM演算部によって算出された参照DPMおよび前記基本DBM演算部によって算出された基本DBMに基づいて、ビタビ復号に係る最尤パスを選択するパス選択部とを備え、

前記基本DPM演算部は、前記基本DPM保持部に保持された基本DPM、前記参照DPM演算部によって算出された参照DPM、前記基本DBM演算部によって算出された基本DBMおよび前記パス選択部による最尤パスの選択結果に基づいて、新たな基本DPMを算出する

ことを特徴とするACS回路。

【請求項 3】

請求項 2 に記載のACS回路において、

前記基本DBM演算部による基本DBMの算出および前記参照DPM演算部による参照DPMの算出は、並列処理される

ことを特徴とするACS回路。

【請求項 4】

請求項 2 に記載のACS回路において、

前記参照DPM演算部は、前記基本DPM保持部に保持された基本DPMのうちのいずれかから他を減算して参照DPMを算出する

ことを特徴とするACS回路。

【請求項 5】

請求項 2 に記載のACS回路において、

前記基本DPM演算部は、前記パス選択部による最尤パスの選択結果に基づいて、前記基本DPM保持部に保持された基本DPM、前記参照DPM演算部によって算出された参照DPMおよび前記基本DBM演算部によって算出された基本DBMの中から前記新たな基本DPMの算出の元となる基本DPMおよび基本DBMを選択し、当該選択した基本DPMおよび基本DBMを加算して前記新たな基本DPMを算出する

ことを特徴とするACS回路。

【請求項 6】

請求項 2 に記載のACS回路において、

前記基本DPM演算部は、前記基本DPM保持部に保持された基本DPMおよび前記参照DPM演算部によって算出された参照DPMと、前記基本DBM演算部によって算出された基本DBMとをそれぞれ加算して、前記新たな基本DPMの候補を算出し、前記パス選択部による最尤パスの選択結果に基づいて、当該候補の中から前記新たな基本DPMを

選択する

ことを特徴とする A C S 回路。

【請求項 7】

請求項 2 に記載の A C S 回路において、

前記パス選択部は、ビタビ復号における各ステートへの遷移に係るブランチに互いに異なるパス選択番号を割り当て、最尤パスの選択結果として、当該パス選択番号を示すパス選択信号を出力する

ことを特徴とする A C S 回路。

【書類名】明細書

【発明の名称】ACS回路

【技術分野】

【0001】

本発明は、ビタビ復号に係るパスメトリックの加算および比較、およびパス選択を行うACS回路に関し、特に、メトリック差分に基づいてパス選択を行うACS回路に関する。

【背景技術】

【0002】

ビタビ復号は、ある特定の畳み込み演算によって符号化されたデータ系列を受信し、当該畳み込み演算の規則に基づいて、もっとも適当と思われるデータ系列を予測し、復号する技術である。畳み込み演算の規則は状態遷移図として記述することができる。さらに、この状態遷移図に時間概念を加味すると、トレリス線図を記述することができる。

【0003】

図9は、ギガビットイーサネットで一般的に用いられる畳み込み符号化器の構成を示す。当該畳み込み符号化器は、入力した値を1クロック遅延させて出力する遅延素子101、102および103と、加算器104および105とを備えた、2ビット入力8ステートの畳み込み符号化器である。加算器104は、遅延素子101の出力と入力上位ビットとを加算する。遅延素子102は、加算器104の加算結果を入力する。加算器105は、遅延素子102の出力と入力下位ビットとを加算する。遅延素子103は、加算器105の加算結果を入力する。そして、遅延素子101は、遅延素子103の出力を入力する。これにより、遅延素子101～103は、3ビットのステート、すなわち、8ステートを表す。

【0004】

図10は、上記畳み込み符号化器に係るトレリス線図である。当該トレリス線図は、ステートS0、S1、S2、S3、S4、S5、S6、S7およびS8に関して、時刻(k-1)から時刻kへの遷移と、時刻kから時刻(k+1)の遷移とを示している。各ステート間を結ぶ線はブランチと呼ばれる。各ブランチは、あるステートとそのステートの遷移先のステートとを接続している。

【0005】

ビタビ復号では、各ステートからの遷移の尤度、すなわち、確からしさを評価するために、各ブランチについて評価関数を用いて「ブランチメトリック」を計算する。通常、ブランチメトリックの計算は、理想値と実際に受信した値との二乗誤差で求められる。一方、復号を開始して以来、各ステートに関して、そのステートに至るブランチのうちのもっとも確からしいブランチのブランチメトリックを累積加算した値が記憶されている。これを「パスメトリック」という。ビタビ復号では、時刻(k-1)におけるパスメトリックと時刻kでのブランチメトリックとを加算した結果が最小となるブランチをもっとも確からしいブランチであると判断する。すなわち、ACS回路とは、もっとも確からしいブランチを決定するために、時刻(k-1)におけるパスメトリックと時刻kでのブランチメトリックとの加算を行い、その結果を比較し、もっとも確からしいブランチを選択するAdd-Compare-Select回路のことである。

【0006】

各時刻で得られたもっとも確からしいブランチを連結したパスを「生き残りパス」と呼ぶ。トレリス線図中、各ステートはそれぞれの生き残りパスを持っているが、復号処理が進むにつれてすべてのステートが持つ生き残りパスは一つに収束する。このようにして得られた一つの生き残りパスがビタビ復号による最終的な復号結果となる。

【0007】

従来のACS回路は、ブランチメトリックの算出に二乗計算を用いる。このため、回路が複雑化し、また、パスメトリックがブランチメトリックの累積であるためオーバーフローが発生するという問題があった。このうち、パスメトリックのオーバーフローを解消す

る対策として、パスメトリックの値を随時監視し、オーバーフローが発生しそうになった時点で各ステートのパスメトリック値から同じ値を減算するという手法が知られている。しかし、この手法では、通常のACS回路の処理の後に、さらにオーバーフローの判定および減算処理が必要となるため、処理速度が低下するという問題がある。そこで、ブランチメトリックどうしの差である差分ブランチメトリック（以下、「DBM」と称する。）を用いて、ブランチメトリックの計算に係る二乗の項を消去して演算を容易化するとともに、パスメトリックどうしの差である差分パスメトリック（以下、「DPM」と称する。）を用いて、パスメトリックの計算に係るオーバーフローを回避するという手法が考案されている（たとえば、特許文献1参照）。

【0 0 0 8】

しかし、上記のようなメトリック差分に基づいてパス選択を行うACS回路では、比較的多くのDPMを保持しなければならないため、比較的大規模な保持回路が必要となる。たとえば、8ステートのトレリス線図の場合、パスメトリックは8個であるのに対してDPMは28個（ $=8C_2$ ）である。そこで、保持回路の大規模化を抑制するために、保持するDPMの個数を制限するというACS回路が考案されている（たとえば、非特許文献1参照）。しかし、当該ACS回路は、DPMの算出にDBMの他に通常のブランチメトリックを用いるため、二乗計算が必要になるという問題がある。

【特許文献1】特許第3 2 5 8 1 7 4号明細書

【非特許文献1】Akira Yamamoto, et al, "A 500MHz 50mW Viterbi Detector for DVD Systems using Simplified ACS and New Path Memory Architecture", 2002 Symposium On VLSI Circuits Digest of Technical Papers, pp.256-259

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 9】

上述したように、メトリック差分に基づいてパス選択を行う従来のACS回路については回路規模の増大が問題となる。ここで、2入力8ステートの畳み込み符号化器によって生成されたデータ系列を復号するACS回路について、DPMを用いる場合と用いない場合とで回路規模を比較してみる。前者は、8個のパスメトリックを保持するための保持回路、および各パスメトリックと各ブランチメトリックとの加算を行う32個の加算器を必要とする。加算器の個数は、8個の各ステートに1時刻前の4個のステートからの4本のブランチが接続されることに基づいている。さらに、前者は、これ以外にオーバーフロー対策用の回路を必要とする。これに対し、後者は、28個のDPMを保持するための保持回路、および各DPMと各DBMとの加算を行う400個の加算器を必要とする。加算器の個数は、28個の各DPMに16個のDBMが関連することに基づいている。なお、入力するDPMが“0”となる加算器の数（合計48個）は除いている。

【0 0 1 0】

このように、メトリック差分に基づいてパス選択を行う従来のACS回路については、処理速度は比較的速いが、回路規模が極端に大きくなってしまいうという欠点がある。回路規模の増大は、消費電力増さらには製造コスト増の要因となるため好ましくない。

【0 0 1 1】

上記問題に鑑み、本発明は、ビタビ復号に用いられるACS回路について、回路規模の増大を極力抑制しつつ、ビタビ復号に係るパスメトリックのオーバーフロー対策を講じることが課題とする。

【課題を解決するための手段】

【0 0 1 2】

上記課題を解決するために本発明が講じた手段は、ビタビ復号に係る任意の二つのブランチ間の差分ブランチメトリック（DBM）を入力し、当該入力したDBMを任意の二つのステート間の差分パスメトリック（DPM）に加算し、当該加算後のDPMどうしを比較して最尤パスを選択するACS回路であって、前記DPMのうち、基準となるステートに係るパスメトリックと他のステートに係るパスメトリックとの間のDPMである基本D

PMを保持し、当該基本DPMに基づいて最尤パスを選択するものとする。

【0013】

これによると、すべてのDPMではなくその一部である基本DPMを保持すればよくなるため、DPMを保持するための回路の規模は比較的小さくて済む。また、当該ACS回路は、メトリック差分に基づいて最尤パスを選択するため、処理速度を低下させることなくパスメトリックのオーバーフローが解消される。

【0014】

具体的には、上記のACS回路は、前記基本DPMを保持する基本DPM保持部と、前記基本DPMを算出する基本DPM演算部と、前記基本DPM演算部による基本DPMの算出に必要なDPMであって基本DPM以外のDPMである参照DPMを算出する参照DPM演算部と、前記DBMのうち、前記基本DPM演算部による基本DPMの算出に必要なDBMである基本DBMを算出する基本DBM演算部と、前記基本DPM保持部に保持された基本DPM、前記参照DPM演算部によって算出された参照DPMおよび前記基本DBM演算部によって算出された基本DBMに基づいて、ビタビ復号に係る最尤パスを選択するパス選択部とを備えている。そして、前記基本DPM演算部は、前記基本DPM保持部に保持された基本DPM、前記参照DPM演算部によって算出された参照DPM、前記基本DBM演算部によって算出された基本DBMおよび前記パス選択部による最尤パスの選択結果に基づいて、新たな基本DPMを算出するものとする。

【0015】

これによると、DBMは、基本DPMの算出に必要なDBMである基本DBMのみを算出すればよくなる。また、DPMは、基本DPM以外に、基本DPMの算出に必要なDPMである参照DPMのみを算出すればよくなる。

【0016】

好ましくは、前記基本DBM演算部による基本DBMの算出および前記参照DPM演算部による参照DPMの算出は、並列処理されるものとする。

【0017】

また、好ましくは、前記参照DPM演算部は、前記基本DPM保持部に保持された基本DPMのうちのいずれかから他を減算して参照DPMを算出するものとする。

【0018】

そして、具体的には、前記基本DPM演算部は、前記パス選択部による最尤パスの選択結果に基づいて、前記基本DPM保持部に保持された基本DPM、前記参照DPM演算部によって算出された参照DPMおよび前記基本DBM演算部によって算出された基本DBMの中から前記新たな基本DPMの算出の元となる基本DPMおよび基本DBMを選択し、当該選択した基本DPMおよび基本DBMを加算して前記新たな基本DPMを算出するものとする。

【0019】

また、具体的には、前記基本DPM演算部は、前記基本DPM保持部に保持された基本DPMおよび前記参照DPM演算部によって算出された参照DPMと、前記基本DBM演算部によって算出された基本DBMとをそれぞれ加算して、前記新たな基本DPMの候補を算出し、前記パス選択部による最尤パスの選択結果に基づいて、当該候補の中から前記新たな基本DPMを選択するものとする。

【0020】

また、具体的には、前記パス選択部は、ビタビ復号における各ステートへの遷移に係るブランチに互いに異なるパス選択番号を割り当て、最尤パスの選択結果として、当該パス選択番号を示すパス選択信号を出力するものとする。

【発明の効果】

【0021】

以上のように本発明によると、メトリック差分に基づいてパス選択を行うACS回路において、DPMを保持する回路の規模が小さくなる。また、必要最小限のDBM（基本DBM）およびDPM（基本DPMおよび参照DPM）のみを算出すればよいため、ACS

回路において備えるべき加算器などの演算器の個数が比較的少なくて済む。したがって、ACS回路全体としての回路規模が小さくなり、消費電力が低減するとともに、製造コストもまた低減する。

【発明を実施するための最良の形態】

【0022】

以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。なお、便宜上、図10のトレリス線図を前提としたビタビ復号を想定して説明する。なお、本発明は、当該トレリス線図を前提としたビタビ復号に限定されるものではない。

【0023】

まず、以後の説明で使用する表記の説明を行う。ブランチメトリックは b_{ij} と表記し、これは状態 S_i から状態 S_j に遷移するブランチを意味する。たとえば、 b_{02} は状態 S_0 から状態 S_2 に遷移するブランチである。また、DBMは差分ブランチメトリック全般を意味する。 DPM_{ij} は状態 S_j に係るパスメトリックと状態 S_i に係るパスメトリックとの間のDPMを示す。たとえば、状態 S_0 に係るパスメトリックを PM_0 、状態 S_2 に係るパスメトリックを PM_2 とした場合、 $DPM_{02} = PM_2 - PM_0$ となる。また、単にDPMと記述した場合は差分パスメトリック全般を意味する。

【0024】

図1は、本発明の最良の実施形態に係るACS回路の構成を示す。本実施形態に係るACS回路は、基準となる状態に係るパスメトリックと他の状態に係るパスメトリックとの間の差分パスメトリックである基本DPMを保持する基本DPM保持部11と、基本DPMを算出する基本DPM演算部12と、基本DPMの算出に必要なDPMである参照DPMを算出する参照DPM演算部13と、基本DPMの算出に必要なDBMである基本DBMを算出する基本DBM演算部14と、ビタビ復号に係る最尤パスを選択するパス選択部15とを備えている。

【0025】

基本DPM保持部11は、基本DPMとして、 DPM_{01} 、 DPM_{02} 、 DPM_{03} 、 DPM_{04} 、 DPM_{05} 、 DPM_{06} および DPM_{07} を保持する。すなわち、基本DPM保持部11は、状態 S_0 を基準の状態としたときの、当該基準状態と他の状態との間のDPMを基本DPMとして保持する。

【0026】

基本DPM演算部12は、基本DPMを新たに算出し、基本DPM保持部11に出力する。図2は、基本DPM演算部12の内部構成を示す。基本DPM演算部12は、基本DBM演算部14によって算出された基本DBM、基本DPM保持部11に保持された基本DPMおよび参照DPM演算部によって算出された参照DPMに基づいて、基本DPMの一つである DPM_{01} を算出する DPM_{01} 演算部121、 DPM_{02} を算出する DPM_{02} 演算部122、 DPM_{03} を算出する DPM_{03} 演算部123、 DPM_{04} を算出する DPM_{04} 演算部124、 DPM_{05} を算出する DPM_{05} 演算部125、 DPM_{06} を算出する DPM_{06} 演算部126および DPM_{07} を算出する DPM_{07} 演算部127を備えている。これら演算部の構成については後ほど詳細に説明する。

【0027】

参照DPM演算部13は、基本DPM保持部11に保持された基本DPMから参照DPMを算出する。図3は、参照DPM演算部13の内部構成を示す。参照DPM演算部13は、参照DPMの一つである DPM_{12} を算出する DPM_{12} 演算部301、 DPM_{14} を算出する DPM_{14} 演算部302、 DPM_{16} を算出する DPM_{16} 演算部303、 DPM_{23} を算出する DPM_{23} 演算部304、 DPM_{24} を算出する DPM_{24} 演算部305、 DPM_{25} を算出する DPM_{25} 演算部306、 DPM_{26} を算出する DPM_{26} 演算部307、 DPM_{27} を算出する DPM_{27} 演算部308、 DPM_{34} を算出する DPM_{34} 演算部309、 DPM_{36} を算出する DPM_{36} 演算部310、 DPM_{45} を算出する DPM_{45} 演算部311、 DPM_{46} を算出する DPM_{46} 演算部312、DPM

47を算出するDPM47演算部313、DPM56を算出するDPM56演算部314およびDPM67を算出するDPM67演算部315を備えている。ここで、参照DPMは、基本DPMどうしの差分として得られる。すなわち、参照DPMであるDPM_{ij}は、

$$DPM_{ij} = DPM_{0j} - DPM_{0i}$$

として表される。すなわち、参照DPMは、特に複雑な計算を行うことなく算出することができる。なお、基本DPMの算出に必要な参照DPMについては後ほど詳細に説明する。

【0028】

基本DBM演算部14は、畳み込み符号化されたデータ系列を受信し、特定の組み合わせのブランチメトリックどうしの差分を出力する。一般に、ブランチメトリックは入力データと理想値との間の二乗誤差である。すなわち、Dを入力データ、Y_{ij}を理想値とすると、ブランチメトリックは、

$$b_{ij} = (D - Y_{ij})^2$$

となる。これに対し、DBMは、

$$DBM = b_{ij} - b_{kl} = (D - Y_{ij})^2 - (D - Y_{kl})^2 = (Y_{kl} - Y_{ij})(-Y_{kl} - Y_{ij} + 2 \cdot D)$$

となる。すなわち、DBMを用いることによって、ブランチメトリックの計算式に現れる二乗の項が消去される。ここで、Y_{kl}およびY_{ij}は定数であるため、C₀およびC₁を固定値として、

$$DBM = C_0 + C_1 \cdot D$$

となる。このように、基本DBM演算部14は、入力データに対して乗算および加算をそれぞれ1回行って基本DBMを算出するため、比較的簡単な回路構成で実現される。なお、基本DPMの算出に必要な基本DBMについては後ほど詳細に説明する。

【0029】

パス選択部15は、基本DBM、基本DPMおよび参照DPMを入力し、各状態についてもっとも確からしいブランチがいずれであることを示すパス選択信号を出力する。図4は、パス選択部15の内部構成を示す。パス選択部15は、パス選択信号出力部として、状態S₀に対応するパス選択信号SPN₀を出力するSPN₀出力部150、状態S₁に対応するパス選択信号SPN₁を出力するSPN₁出力部151、状態S₂に対応するパス選択信号SPN₂を出力するSPN₂出力部152、状態S₃に対応するパス選択信号SPN₃を出力するSPN₃出力部153、状態S₄に対応するパス選択信号SPN₄を出力するSPN₄出力部154、状態S₅に対応するパス選択信号SPN₅を出力するSPN₅出力部155、状態S₆に対応するパス選択信号SPN₆を出力するSPN₆出力部156および状態S₇に対応するパス選択信号SPN₇を出力するSPN₇出力部157を備えている。図10のトレリス線図では、8個の各状態に1時刻前の4個の状態からの計4本のブランチが接続されている。パス選択部15は、各状態について、当該状態に接続された4本のブランチの中からもっとも確からしいものを選択し、当該選択したブランチを示すパス選択信号を出力する。以下、パス選択信号出力部の例として、SPN₀出力部150について説明する。なお、これ以外のパス選択信号出力部についてもSPN₀出力部150と同様に構成される。

【0030】

図5は、SPN₀出力部150の内部構成を示す。SPN₀出力部150は、状態S₀への遷移に係る4本のブランチに、遷移元の状態番号の昇順に2ビットのパス選択番号を割り当て、このパス選択番号を状態S₀に対応するパス選択信号SPN₀として出力する。具体的には、パス選択番号は、選択ブランチがb₀₀のとき“0”、選択ブランチがb₂₀のとき“1”、選択ブランチがb₄₀のとき“3”、そして、選択ブランチがb₆₀のとき“3”である。

【0031】

加算器 5 1 は、基本 DPM である DPM 0 2 と基本 DBM である (b 2 0 - b 0 0) とを加算する。すなわち、加算器 5 1 は、パス選択番号が “1” のブランチが選択された場合のパスメトリックから、パス選択番号が “0” のブランチが選択された場合のパスメトリックを引いた結果を出力する。符号判定器 5 2 は、加算器 5 1 の加算結果を入力し、当該結果が負の場合は “1”、それ以外の場合は “0” となる信号 s i g 1 を出力する。同様に、加算器 5 3 は、パス選択番号が “3” のブランチが選択された場合のパスメトリックから、パス選択番号が “2” のブランチが選択された場合のパスメトリックを引いた結果を出力する。符号判定器 5 4 は、加算器 5 3 の加算結果を入力し、当該結果が負の場合は “1”、それ以外の場合は “0” となる信号 s i g 2 を出力する。

【0 0 3 2】

セクタ 5 5 は、信号 s i g 1 および s i g 2 のいずれもが “0” の場合、パス選択番号が “2” のブランチのブランチメトリックからパス選択番号が “0” のブランチのブランチメトリックを引いた結果を出力し、信号 s i g 1 が “0” かつ信号 s i g 2 が “1” の場合、パス選択番号が “3” のブランチのブランチメトリックからパス選択番号が “0” のブランチのブランチメトリックを引いた結果を出力し、信号 s i g 1 が “1” かつ信号 s i g 2 が “0” の場合、パス選択番号が “3” のブランチのブランチメトリックからパス選択番号が “1” のブランチのブランチメトリックを引いた結果を出力し、そして、信号 s i g 1 および s i g 2 のいずれもが “1” の場合、パス選択番号が “3” のブランチのブランチメトリックからパス選択番号が “1” のブランチのブランチメトリックを引いた結果を出力する。

【0 0 3 3】

セクタ 5 6 は、信号 s i g 1 および s i g 2 のいずれもが “0” の場合、パス選択番号が “2” のブランチの始点であるステート S 4 のパスメトリックからパス選択番号が “0” のブランチの始点であるステート S 0 のパスメトリックを引いた DPM (基本 DPM 0 4) を出力し、信号 s i g 1 が “0” かつ信号 s i g 2 が “1” の場合、パス選択番号が “3” のブランチの始点であるステート S 6 のパスメトリックからパス選択番号が “0” のブランチの始点であるステート S 0 のパスメトリックを引いた DPM (基本 DPM 0 6) を出力し、信号 s i g 1 が “1” かつ信号 s i g 2 が “0” の場合、パス選択番号が “2” のブランチの始点であるステート S 4 のパスメトリックからパス選択番号が “1” のブランチの始点であるステート S 2 のパスメトリックを引いた DPM (参照 DPM 2 4) を出力し、信号 s i g 1 および s i g 2 のいずれもが “1” の場合、パス選択番号が “3” のブランチの始点であるステート S 6 のパスメトリックからパス選択番号が “1” のブランチの始点であるステート S 2 のパスメトリックを引いた DPM (参照 DPM 2 6) を出力する。

【0 0 3 4】

加算器 5 7 は、セクタ 5 5 からの出力とセクタ 5 6 からの出力を加算する。符号判定器 5 8 は、加算器 5 7 の加算結果を入力し、当該結果が負の場合は “1”、それ以外の場合は “0” となる信号 s i g 3 を出力する。セクタ 6 9 は、信号 s i g 3 が “0” の場合、信号 s i g 1 を出力し、信号 s i g 3 が “1” の場合、信号 s i g 2 を出力する。そして、セクタ 5 9 からの出力がパス選択信号 SPN 0 の下位ビット (SPN 0 [0]) となり、信号 s i g 3 が上位ビット (SPN 0 [1]) となる。

【0 0 3 5】

なお、本実施形態では、各ステートに接続されたブランチに、遷移元のステート番号の昇順にパス選択番号を割り当てているが、パス選択信号は必ずしも当該規則に従って生成しなくてもよい。

【0 0 3 6】

次に、基本 DPM 演算部 1 2 における、各基本 DPM を算出する DPM 0 m (m は 1 から 7 までの整数) 演算部の例として、DPM 0 1 演算部 1 2 1 について説明する。なお、これ以外の DPM 0 m 演算部についても DPM 0 1 演算部と同様に構成される。

【0 0 3 7】

まず、DPM01演算部121の具体的な構成を説明する前に、DPM01の生成について説明する。図6は、時刻kにおける各種基本DPMの生成規則を示す。このうち、図6(a)は、時刻kにおけるDPM01の生成規則を示す。時刻kにおけるDPM01であるDPM01(k)は、パス選択信号SPN0およびSPN1によって選択されるDBMおよびDPM(k-1)の和として算出される。たとえば、パス選択信号SPN0およびSPN1が、それぞれ、“0”および“1”の場合、
$$DPM01(k) = (b21 - b00) + DPM02(k-1)$$
となる。なお、DPM(k-1)は、時刻kの1時刻前である時刻(k-1)におけるDPMを表す。DPM01以外の基本DPMであるDPM02、DPM03、DPM04、DPM05、DPM06およびDPM07は、それぞれ、図6(b)、(c)、(d)、(e)、(f)および(g)に示した規則に従って生成される。

【0038】

すでに述べたように、本実施形態に係るACS回路が保持するDPMは7個の基本DPMのみである。しかし、図6に示した生成規則によると、基本DPMの算出に、基本DPM以外のDPMが必要となる。そして、基本DPM以外のDPMを算出するのが、参照DPM演算部13である。参照DPMは、基本DPMどうしの差分として容易に算出されることはすでに述べたとおりである。しかも、基本DPMの算出に必要な参照DPMは、当該基本DPM算出の1時刻前のものでよい。すなわち、新たな基本DPMの算出には、基本DBM演算部14によって算出された基本DBMと、基本DPM保持部11に保持された1時刻前の基本DPMと、参照DPM演算部13によって1時刻前の基本DPMどうしの差分として得られる参照DPMとを用いればよい。

【0039】

参照DPMとして、基本DPM以外のすべてのDPMを算出する必要はない。図10のトレリス線図の場合、全部で28個あるDPMのうち基本DPMが7個であり、残りの21個のDPMが参照DPMとなり得る。このうち、実際に必要な参照DPMは、図3に示した15個である。したがって、残り6個のDPMについては、算出する必要がない。また、DBMは、基本DPMの算出に必要なものだけ、すなわち、基本DBMのみを算出すればよい。

【0040】

次に、DPM01演算部121の具体的な構成について説明する。図7は、DPM01演算部121の内部構成を示す。当該DPM01演算部121は、図6に示した生成規則に従って、DPM01の候補となり得る値をすべて算出しておき、パス選択信号SPN0およびSPN1に基づいて当該算出結果からいずれか一つを選択し、出力する。図8は、図7とは異なる構成のDPM01演算部121の内部構成を示す。当該DPM01演算部121は、パス選択信号SPN0およびSPN1に基づいてDPM01の算出に必要なDBMおよびDPMを選択し、当該選択したDBMとDPMとを加算し、出力する。

【0041】

以上、本実施形態によると、基本DPMのみを保持すればよいため、保持回路の規模は従来よりも小さくなる。さらに、DPMについては、基本DPMおよび参照DPMのみを算出すればよいため、DPM算出に必要な加算器の個数は従来よりも少なくなる。具体的には、図10のトレリス線図の場合、従来のACS回路では、28個のDPMを保持する必要があるのに対して、本実施形態に係るACS回路では、7個のDPM(基本DPM)を保持するだけでよい。また、従来のACS回路では、DPMの算出に400個の加算器が必要となるが、本実施形態に係るACS回路で必要となる加算器(減算器を含む)の個数は、基本DPMの算出用の100個の加算器と参照DPMの算出用の15個の減算器とを合わせた115個である。さらに、図8に示したDPM0m演算部を採用することによって、加算器の個数は25個にまで低減する。

【0042】

なお、従来のACS回路と比較して、本実施形態に係るACS回路は、基本DPMを算出してから参照DPMを算出するため、参照DPMを算出する分だけ処理時間が長くなる

と想像されるかもしれない。しかし、時刻 k における基本 DPM (k) および参照 DPM (k) が実際に必要となるのは、時刻 ($k+1$) における新たな基本 DPM の算出のときであるから、時刻 ($k+1$) における基本 DBM の算出と同時に時刻 k における参照 DPM を演算すればよい。すなわち、基本 DBM 演算部 14 と参照 DPM 演算部 13 とを並列に動作させればよい。このようにすることで、参照 DPM 算出に伴って処理時間が増加することがない。

【0043】

また、上記説明では状態 S_0 を基準の状態として説明したが、これ以外の状態を基準としてもよいことは言うまでもない。

【産業上の利用可能性】

【0044】

以上のように、本発明に係る ACS 回路は、比較的小さな回路規模および比較的高速な処理速度で、ビタビ復号に係るパスメトリックのオーバーフロー対策を講じることができ、通信、光ディスク、磁気ディスクのリードチャネルシステムにおける誤り訂正技術に適用するものとして有用である。

【図面の簡単な説明】

【0045】

【図1】 本発明の最良の実施形態に係る ACS 回路の構成図である。

【図2】 基本 DPM 演算部の内部構成図である。

【図3】 参照 DPM 演算部の内部構成図である。

【図4】 パス選択部の内部構成図である。

【図5】 パス選択部における SPNO 出力部の内部構成図である。

【図6】 基本 DPM の生成規則を示した表である。

【図7】 基本 DPM 演算部における DPM01 演算部の内部構成図である。

【図8】 基本 DPM 演算部における DPM01 演算部の内部構成図である。

【図9】 ギガビットイーサネットで一般的に用いられる畳み込み符号化器の構成図である。

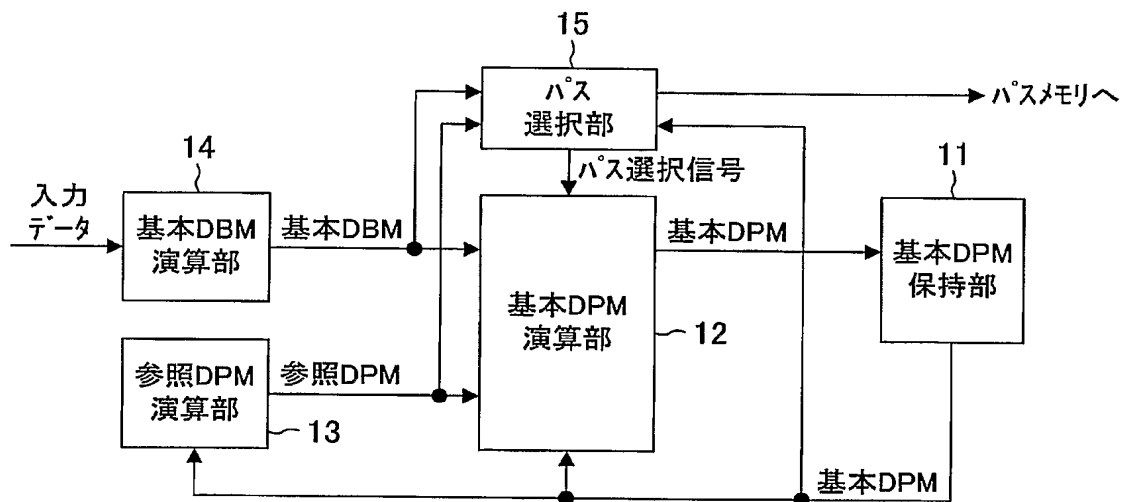
【図10】 図9の畳み込み符号化器に係るトレリス線図である。

【符号の説明】

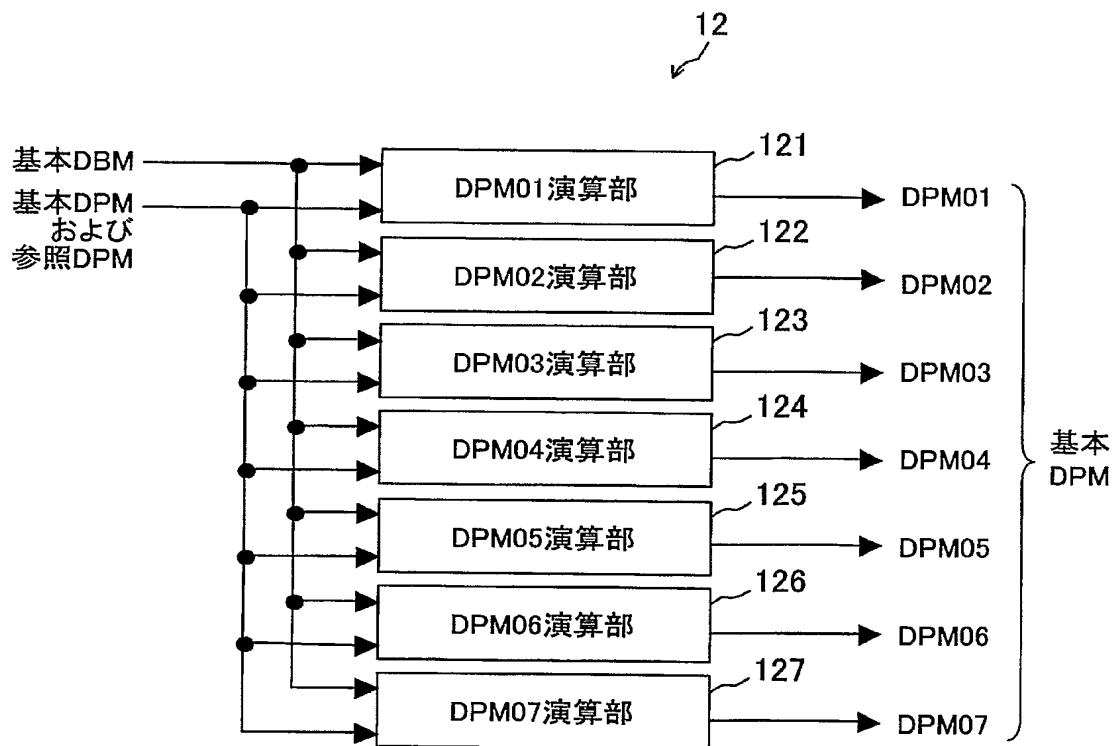
【0046】

- 11 基本 DPM 保持部
- 12 基本 DPM 演算部
- 13 参照 DPM 演算部
- 14 基本 DBM 演算部
- 15 パス選択部

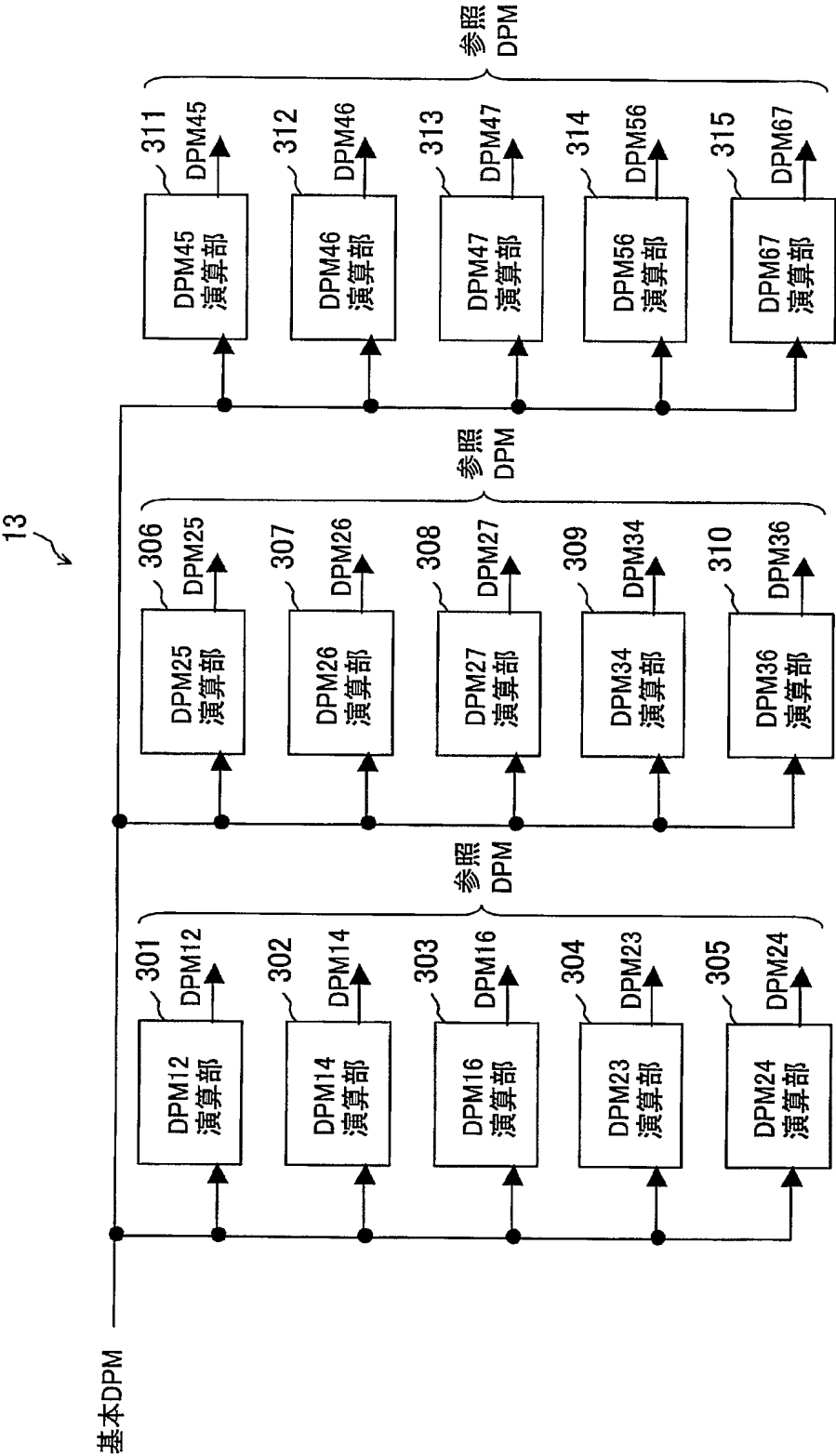
【書類名】 図面
【図 1】



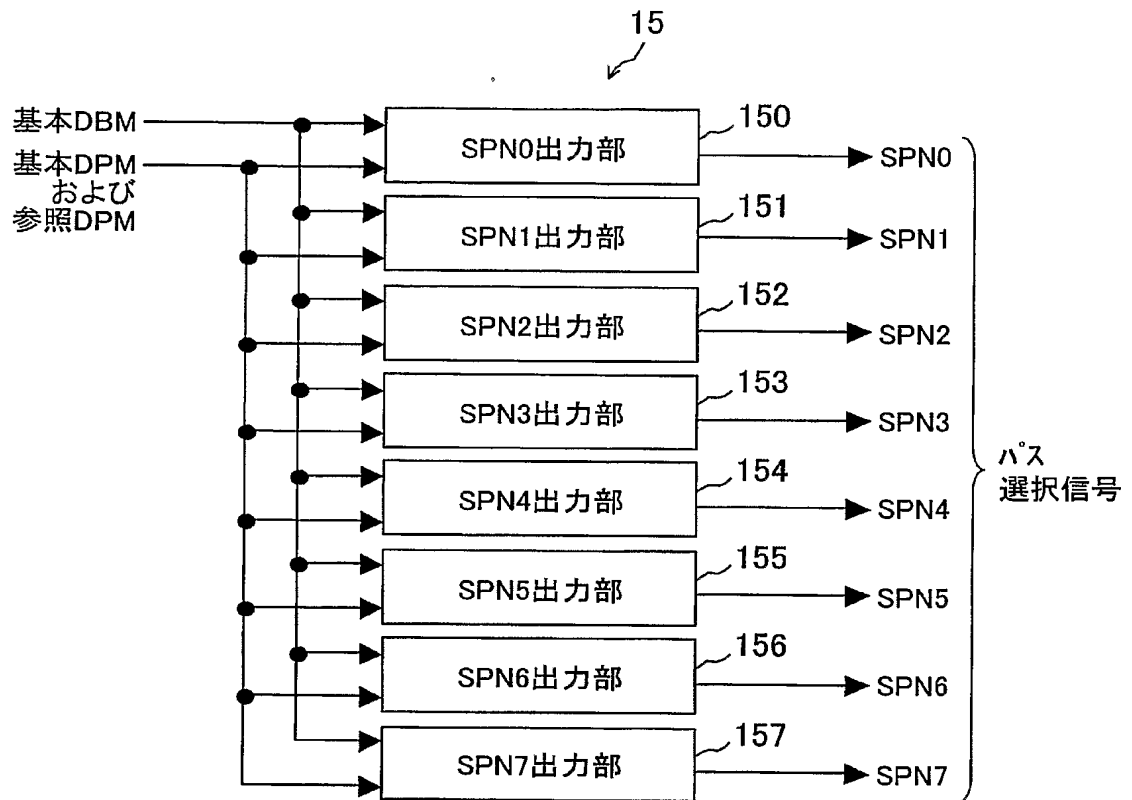
【図 2】



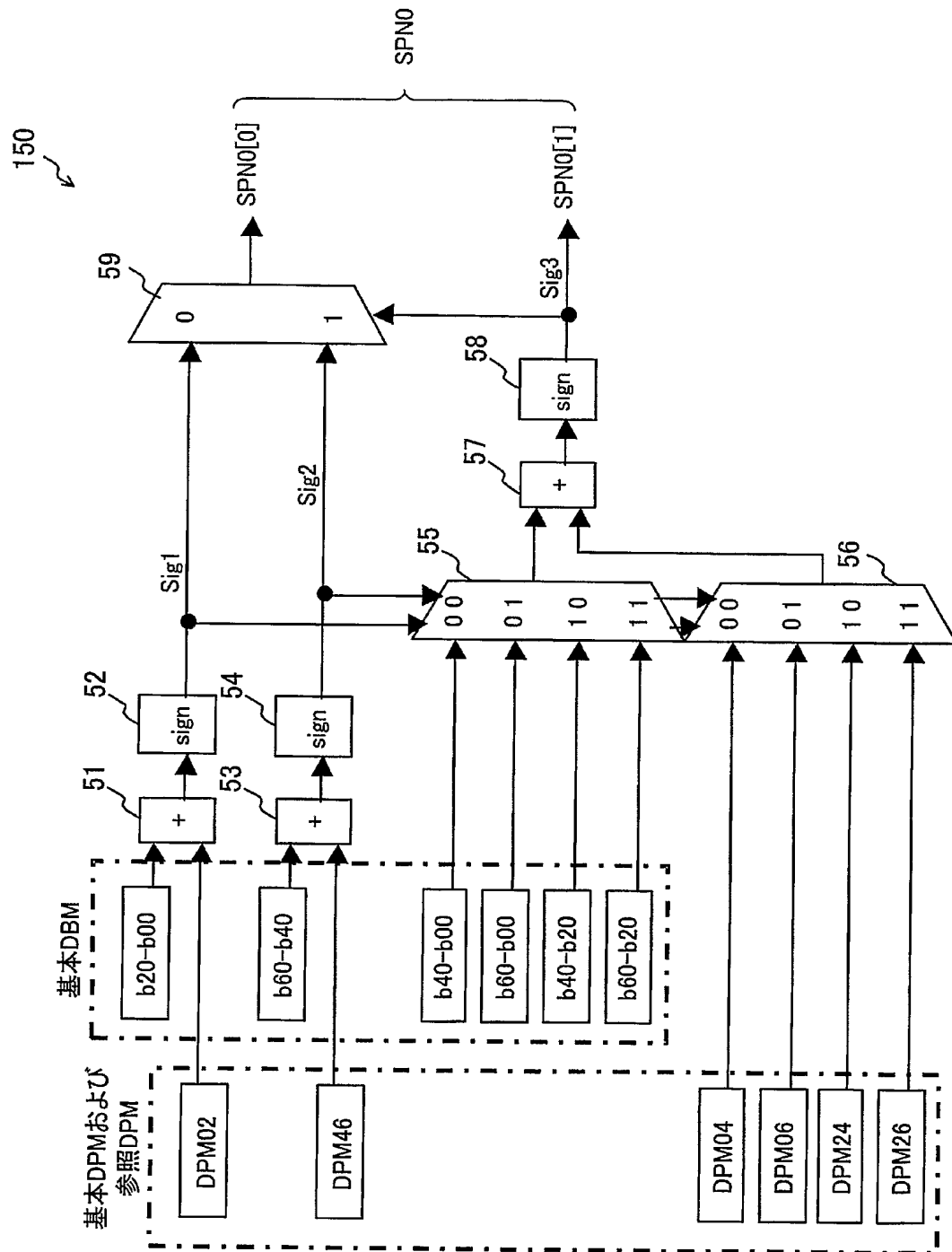
【図 3】



【図 4】



【図 5】

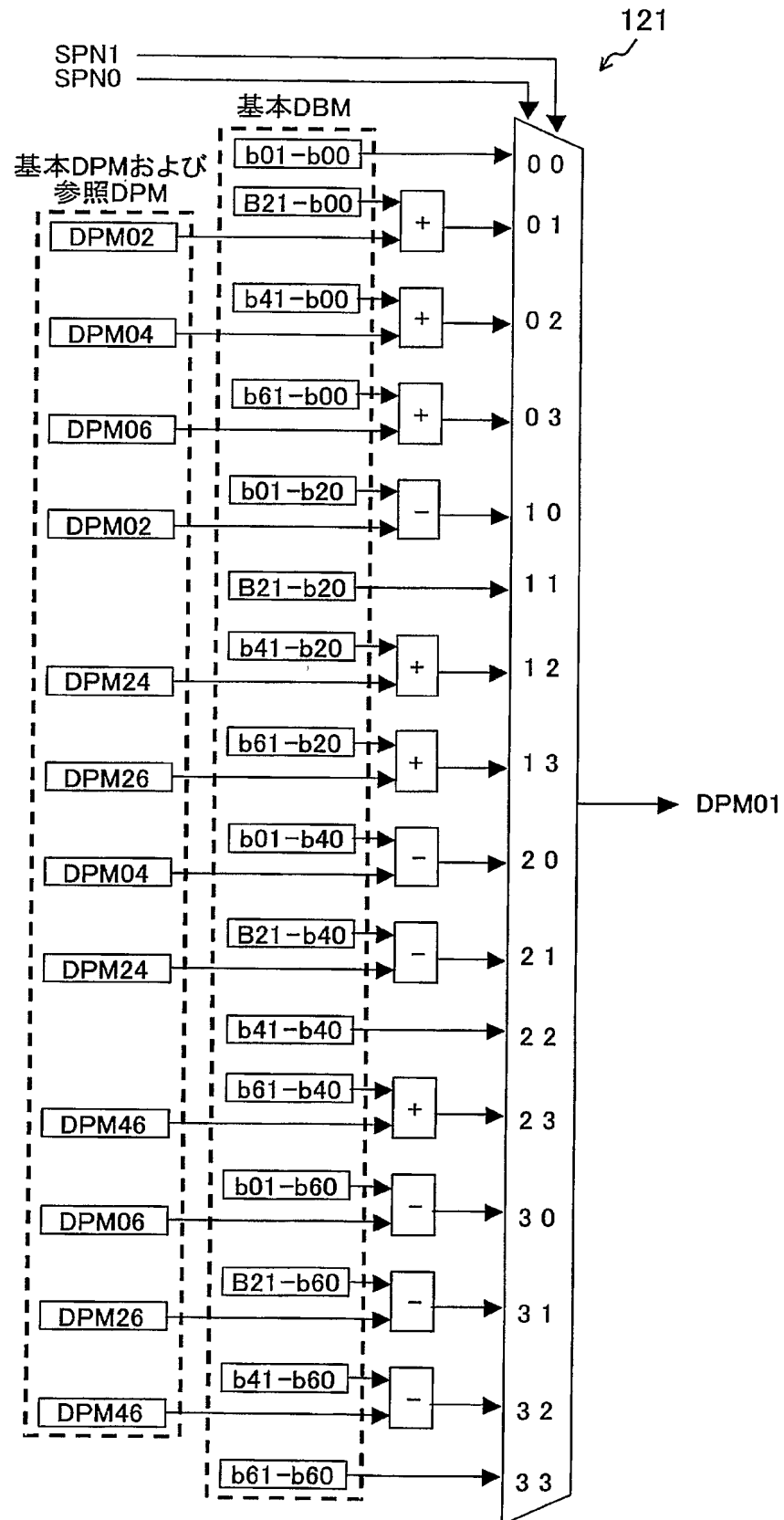


【図 6】

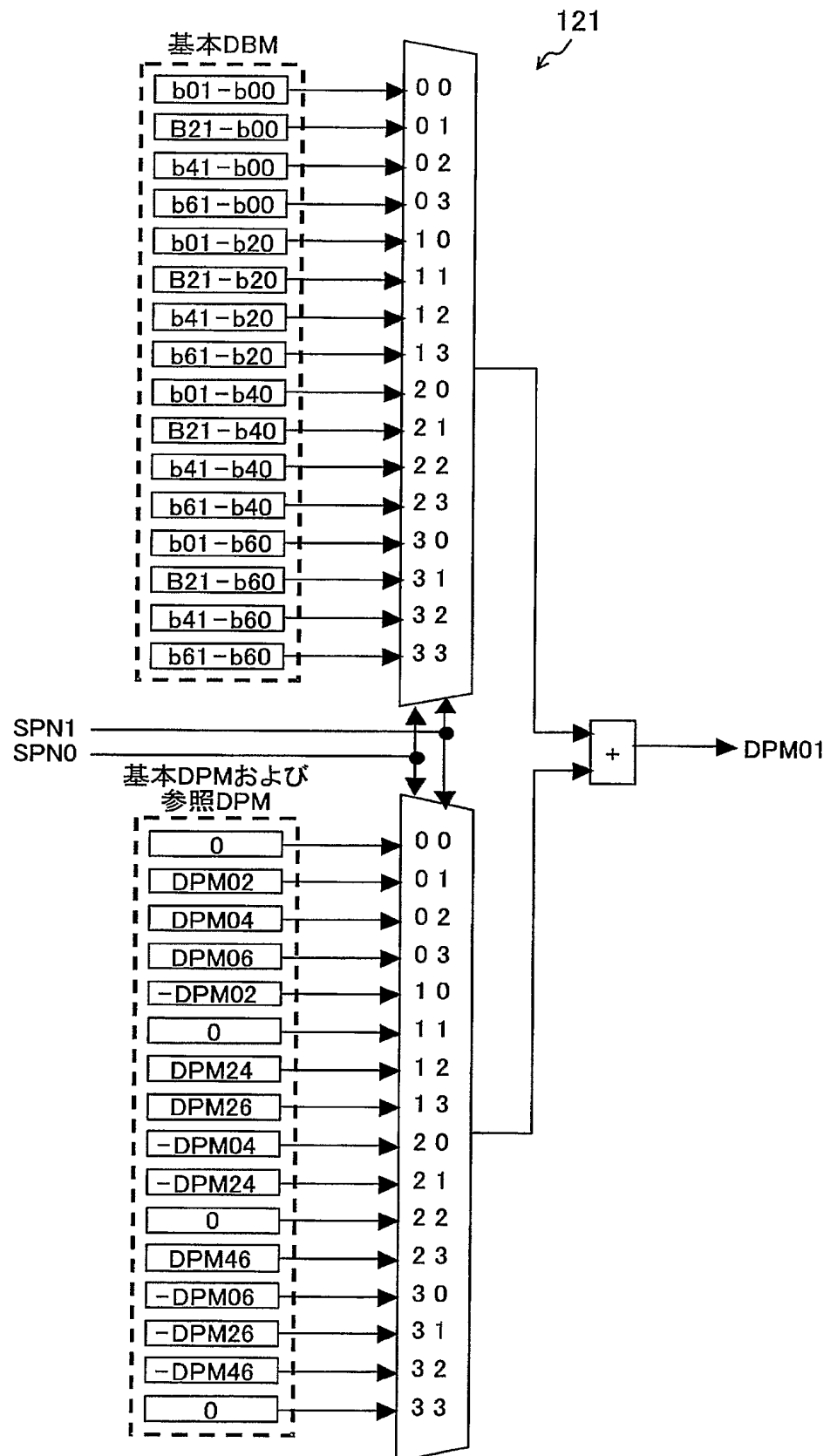
(a) DPM01(k)				(b) DPM02(k)				(c) DPM03(k)				(d) DPM04(k)			
DBM	DPM(k-1)	SPN0	SPN1	DBM	DPM(k-1)	SPN0	SPN2	DBM	DPM(k-1)	SPN0	SPN3	DBM	DPM(k-1)	SPN0	SPN4
b01-b00	0	0	0	b02-b00	0	0	0	b03-b00	0	0	0	b14-b00	DPM01	0	0
b21-b00	DPM02	0	1	b22-b00	DPM02	0	1	b23-b00	DPM02	0	1	b34-b00	DPM03	0	1
b41-b00	DPM04	0	2	b42-b00	DPM04	0	2	b43-b00	DPM04	0	2	b54-b00	DPM05	0	2
b61-b00	DPM06	0	3	b62-b00	DPM06	0	3	b63-b00	DPM06	0	3	b74-b00	DPM07	0	3
b01-b20	-DPM02	1	0	b02-b20	-DPM02	1	0	b03-b20	-DPM02	1	0	b14-b20	-DPM12	1	0
b21-b20	0	1	1	b22-b20	0	1	1	b23-b20	0	1	1	b34-b20	DPM23	1	1
b41-b20	DPM24	1	2	b42-b20	DPM24	1	2	b43-b20	DPM24	1	2	b54-b20	DPM25	1	2
b61-b20	DPM26	1	3	b62-b20	DPM26	1	3	b63-b20	DPM26	1	3	b74-b20	DPM27	1	3
b01-b40	-DPM04	2	0	b02-b40	-DPM04	2	0	b03-b40	-DPM04	2	0	b14-b40	-DPM14	2	0
b21-b40	-DPM24	2	1	b22-b40	-DPM24	2	1	b23-b40	-DPM24	2	1	b34-b40	-DPM34	2	1
b41-b40	0	2	2	b42-b40	0	2	2	b43-b40	0	2	2	b54-b40	DPM45	2	2
b61-b40	DPM46	2	3	b62-b40	DPM46	2	3	b63-b40	DPM46	2	3	b74-b40	DPM47	2	3
b01-b60	-DPM06	3	0	b02-b60	-DPM06	3	0	b03-b60	-DPM06	3	0	b14-b60	-DPM16	3	0
b21-b60	-DPM26	3	1	b22-b60	-DPM26	3	1	b23-b60	-DPM26	3	1	b34-b60	-DPM36	3	1
b41-b60	-DPM46	3	2	b42-b60	-DPM46	3	2	b43-b60	-DPM46	3	2	b54-b60	-DPM56	3	2
b61-b60	0	3	3	b62-b60	0	3	3	b63-b60	0	3	3	b74-b60	DPM67	3	3

(e) DPM05(k)				(f) DPM06(k)				(g) DPM07(k)			
DBM	DPM(k-1)	SPN0	SPN5	DBM	DPM(k-1)	SPN0	SPN6	DBM	DPM(k-1)	SPN0	SPN7
b15-b00	DPM01	0	0	b16-b00	DPM01	0	0	b17-b00	DPM01	0	0
b35-b00	DPM03	0	1	b36-b00	DPM03	0	1	b37-b00	DPM03	0	1
b55-b00	DPM05	0	2	b56-b00	DPM05	0	2	b57-b00	DPM05	0	2
b75-b00	DPM07	0	3	b76-b00	DPM07	0	3	b77-b00	DPM07	0	3
b15-b20	-DPM12	1	0	b16-b20	-DPM12	1	0	b17-b20	-DPM12	1	0
b35-b20	DPM23	1	1	b36-b20	DPM23	1	1	b37-b20	DPM23	1	1
b55-b20	DPM25	1	2	b56-b20	DPM25	1	2	b57-b20	DPM25	1	2
b75-b20	DPM27	1	3	b76-b20	DPM27	1	3	b77-b20	DPM27	1	3
b15-b40	-DPM14	2	0	b16-b40	-DPM14	2	0	b17-b40	-DPM14	2	0
b35-b40	-DPM34	2	1	b36-b40	-DPM34	2	1	b37-b40	-DPM34	2	1
b55-b40	DPM45	2	2	b56-b40	DPM45	2	2	b57-b40	DPM45	2	2
b75-b40	DPM47	2	3	b76-b40	DPM47	2	3	b77-b40	DPM47	2	3
b15-b60	-DPM16	3	0	b16-b60	-DPM16	3	0	b17-b60	-DPM16	3	0
b35-b60	-DPM36	3	1	b36-b60	-DPM36	3	1	b37-b60	-DPM36	3	1
b55-b60	-DPM56	3	2	b56-b60	-DPM56	3	2	b57-b60	-DPM56	3	2
b75-b60	DPM67	3	3	b76-b60	DPM67	3	3	b77-b60	DPM67	3	3

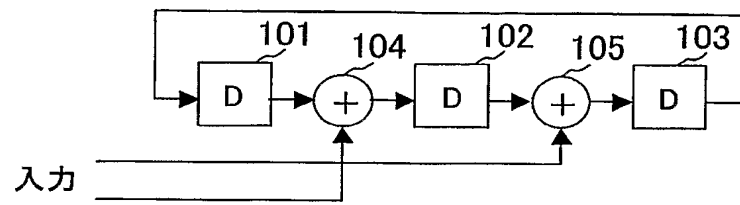
【図 7】



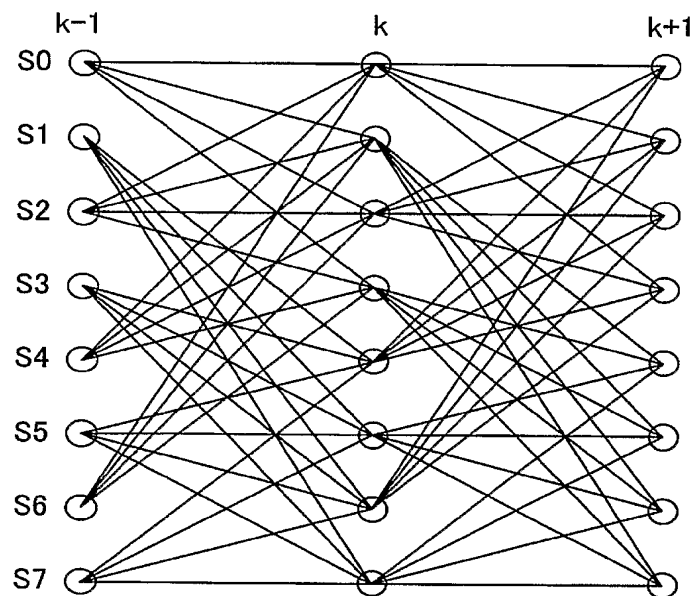
【図 8】



【図 9】



【図 10】



【書類名】 要約書**【要約】**

【課題】 ビタビ復号に用いられる A C S 回路について、回路規模の増大を極力抑制しつつ、パスメトリックのオーバーフロー対策を講じる。

【解決手段】 A C S 回路は、基本 D P M（差分パスメトリック）を保持する基本 D P M 保持部（1 1）と、基本 D P M を算出する基本 D P M 演算部（1 2）と、基本 D P M 以外の D P M である参照 D P M を算出する参照 D P M 演算部（1 3）と、基本 D P M の算出に必要な D B M である基本 D B M（差分ブランチメトリック）を算出する基本 D B M 演算部（1 4）と、基本 D P M、参照 D P M および基本 D B M に基づいて、ビタビ復号に係る最尤パスを選択するパス選択部（1 5）とを備えている。基本 D P M 演算部（1 2）は、基本 D P M、参照 D P M、基本 D B M およびパス選択部（1 5）による最尤パスの選択結果に基づいて、新たな基本 D P M を算出する。

【選択図】 図 1

特願 2 0 0 4 - 1 4 4 4 5 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社